

機械システム調査開発
27-D-7

回路基板設計製造の高度化に関する戦略策定 報告書

平成 28 年 3 月

一般財団法人 機械システム振興協会
委託先 一般社団法人 日本電子回路工業会

序

現在、我が国では、産業競争力強化に向けて、革新的技術を核としたイノベーションを生み出すべく、ロボットやI o T等の新しい技術の活用による様々な試みが進められています。その動きをより強固なものにするには、長年培ってきた多種多様な技術革新の芽を大きく育てる仕組み、即ち具体的な戦略づくりが必要であります。

一般財団法人機械システム振興協会（以下、「協会」という。）では、平成26年度から調査開発事業の中核として「イノベーション戦略策定事業」を、外部組織の皆様とともに始め、2年目を迎えました。

本事業の目的は、機械システムによる新たな社会変革を目指す革新的・先進的技術を基にした戦略づくり、きっかけづくりであります。このため関連する複数の分野の関係者が一堂に会して議論を行い、現状の問題点や課題を検討・整理し、実現すべきシステムの姿及びその実現方策・道筋等を策定するものです。

「回路基板設計製造の高度化に関する戦略策定」は、上記事業の一環として、電子回路の設計に用いる標準データライブラリの構築を目指して、一般社団法人日本電子回路工業会に委託して実施し、多様な分野の関係者とともに協会も参加して議論・検討を行いました。また、協会に「機械システム開発委員会」（委員長：東京大学理事・副学長 大学院新領域創成科学研究科教授 大和 裕幸 氏）を設置し、そのご指導・ご助言を受けました。

この成果が、機械システムによる新たな社会変革の進展に寄与するきっかけとなれば幸いです。

平成28年3月

一般財団法人機械システム振興協会

はじめに

我が国の電気電子産業は、かつて、AV 機器を中心に「電子立国」と称されるまでに世界市場を凌駕する勢いにはありましたが、1990 年代初頭をピークに市場規模が年々縮小の一途となり、メイドインジャパン、あるいは日系のブランド力も徐々に失われつつあるなど、世界市場における競争力が危ぶまれています。

こうした市場競争力低迷の要因に、1990 年代中頃からの事業再構築（リストラ）や海外への生産拠点移転、人材や技術流出が挙げられることが多々見受けられます。確かに市場競争力を失う要因であると考えられますが、このことは最大の要因というより、きっかけに過ぎないと考えられます。

では、最大の要因とは何か。一般社団法人日本電子回路工業会の設計委員会では、電子回路設計の事業環境から考察した結果、「ものづくりの仕組みが変わった」と捉えました。時代を振り返りますと、電子機器に組み込まれる電子回路は、その製造事業者の多くが 1960 年頃に設立され、当時は電子機器メーカー指導の下に電子回路を製造し、不良解析、時には新規開発も電子機器メーカーとともに課題を乗り越えていました。つまり、電子機器メーカーを頂点として、製品仕様開発、電子回路設計、製造、各プロセスの全てが有機的に統合され、完成品の品質信頼性は非常に高いものがありました。現状は残念ながら、そうした事業環境にある電子機器メーカーは非常に少なくなっています。

このような状況下に「ものづくりの仕組み」を考察するにあたっては、近未来的な志向で有機的な統合を図り、日本で発信すべき事業分野や製品を検証し、日本国内に擁する競争力を更に育成強化すべき内容などを総合的に勘案し、調査結果を踏まえ、本事業に取り組むことになりました。

本報告書は、高速信号インターフェース規格の一つである DDR4（メモリ規格）を取り上げ、設計ライブラリとしてまとめたものです。基本情報は、Xilinx 社のご厚意によるものです。その情報を基にシミュレーション解析を行い実証実験した成果をまとめましたので、電子回路設計技術者にとりまして有益な資料になれば幸いです。

ひきつづき、現物の電子回路による実証検証を経て、有機的な統合による電子回路製造ができるよう努力し、本事業を礎として「ものづくりの仕組み」に一石を投じられることを願っています。

最後に、このたびの「回路基板設計製造の高度化に関する戦略策定」として委託頂いた一般財団法人機械システム振興協会のご理解ご協力と本事業推進にあたり資料提供頂いた Xilinx 社に感謝の意を表します。

平成 28 年 3 月

一般社団法人 日本電子回路工業会

目 次

序

はじめに

1	事業の目的	1
2	事業の実施体制	1
3	事業の内容	3
第1章	電子回路ライブラリの構築内容の検討	4
1.1	優先分野特定のための調査	4
1.2	調査の実施	4
1.3	調査項目と回答結果	5
第2章	標準データライブラリの活用方法についての検討	10
2.1	標準データライブラリ活用のための検証作業	10
2.2	事業推進のための広報活動	10
2.3	ユーザ検証とフィードバック	13
第3章	標準データライブラリ用のデータ構築作業「DDR4 設計ライブラリ」	15
3.1	DDR4 システムの概略構成	15
3.1.1	基本システム構成	15
3.1.2	DDR4 メモリの概要	16
3.1.3	優先すべき信号配線(CLK, DQS, DQn)	18
3.1.4	特異信号とその機能	21
3.2	電子回路基板の層構成の基本事項	30
3.2.1	BGA からの引き出し配線数	30
3.2.2	リターン電流経路	30
3.2.3	電子回路層構成の例	32
3.2.4	信号配線の特性インピーダンス制御	33
(1)	シングルエンド配線構造	33
(2)	差動信号伝送の配線構造	34
3.2.5	基板材料特性の影響	37
(1)	高周波での信号損失要因	37
(2)	表皮効果による導体損失	38
(3)	誘電損失	39
(4)	散乱損失	40
(5)	モード変換による信号損失	41
(6)	誘電体による損失比較	41
3.2.6	クロストーク制約・配線構造の選択とペアとの間隔規程	43
3.2.7	差動ビア構造・Zdiff の不連続点軽減	43
3.2.8	ミアンダ配線	45

3.3	SI解析ツールとデバイスモデル	46
3.3.1	SI解析ツールと解析フロー	46
3.3.2	プリ・ポストレイアウトのシミュレーション	47
3.3.3	デバイスモデル	48
3.4	信号品質(SI)の解析例	54
3.4.1	配線トポロジと配線長制約	54
(1)	DDR4配線トポロジ	54
(2)	信号グループ内の等遅延時間(等長化)配線長の許容範囲	54
3.4.2	Xilinx reference ボードの例	54
3.4.3	実配線トポロジ例と信号解析	56
(1)	データ(DQ)信号・・1対1のSE伝送	58
(2)	データ制御(DQS)信号・・1対1の差動伝送	60
(3)	アドレス信号・・マルチドロップのSE伝送	61
(4)	差動クロック(CLK)信号・・マルチドロップの差動伝送	63
(5)	単一データビットのアイダイアグラム(Write mode)(実配線)	65
3.5	電源品質(PI)の解析例	66
3.5.1	PDNの解析ツールとフロー	66
(1)	PI解析ツール	66
(2)	PI解析フロー	66
3.5.2	リファレンスボード レイアウト例	67
3.5.3	電源用キャパシタの配置	68
3.5.4	PDNインピーダンスの解析	69
(1)	電源インピーダンス Z11	69
3.5.5	電源変動の解析	70
(1)	電源変動とアイダイアグラムへの影響	70
(2)	パソコンによる影響	71
4	事業成果のまとめ	72
5	事業の課題及び今後の展開	73